Proposition de stage

Affiliation: DRT/LIST/DSCIN/LFIM Grenoble

Évaluation de l'inférence d'un réseau de neurone sur une architecture de C-SRAM (Computing SRAM)

Contact : Henri-Pierre CHARLES Mél Henri-Pierre.Charles@cea.fr Tel:+33 438 789 699

Contexte

Le CEA (commissariat à l'énergie atomique et aux énergies alternatives) est un institut de recherche de premier plan : il a récemment été reconnu comme l'institut de recherche le plus innovant au monde par Reuters (https://www.reuters.com/article/us-innovation-rankings/the-worlds-most-innovative-research-institutions-idUSKCN0WA2A5). Sa division de la recherche technologique, présente à Grenoble et en région parisienne, est spécialisée en technologie de l'information et dans les énergies renouvelables. Ce stage aura lieu à Grenoble, au sein de l'institut CEA-LIST. L'étudiant intègrera une équipe pluridisciplinaire comportant des experts en systèmes embarqués, cyber-sécurité pour l'internet des objets, et design matériel.

http://www-list.cea.fr/

CEA Grenoble

Description du stage

L'inférence par des réseaux de neurones sous une consommation électrique frugale est un enjeu a relever pour la recherche en informatique. L'utilisation d'architectures de calcul en mémoire pourrait être une solution adaptée car elle permet de minimiser le déplacement des données dans l'architecture de calcul.

Notre laboratoire a développé une architecture de calcul en mémoire permettant d'accélérer les calculs tout en minimisant l'énergie dépensée. L'architecture est composée d'un processeur de mémoire distante (DRAM, NVRAM, voire des capteurs d'images) et d'une ou plusieurs tuiles CSRAM permettant de réaliser des calculs en mémoire. Nous avons également développé un compilateur spécialisé permettant de créer le code pour un tel système.

Plusieurs travaux sont en cours pour développer le compilateur et pour évaluer des applications, principalement dans le domaine du traitement d'images.

Le stage consistera a prendre en main cette architecture et la chaîne de compilation pour porter des applications de réseaux de neurones, les résultats attendus permettront de mesurer les gains en énergie et en rapidité de l'inférence sur notre architecture. Les expérimentations utiliseront un simulateur réalisé en interne permettant de simuler le fonctionnement de mémoires CSRAM.

Notre laboratoire est un environnement unique mélangeant des experts en conception de circuits mémoire innovants et des experts en environnements de compilation et de modélisation de performances.

Connaissances requises et expérience

Les connaissances nécessaires pour ce poste sont

- des connaissances en architecture des ordinateurs, des connaissances
- en programmation C et python.

Des connaissances sur les des outils de gestion de version et l'utilisation de linux et des chaînes de compilation est également nécessaire.

Des connaissances sur

- les principes de l'intelligence artificielle et sur les environnements logiciels de ces outils ou/et
- l'évaluation des performances des applications

serait un plus, mais ne sont pas indispensables.

Niveau requis	Durée	Thèse possible
M2 en informatique ou électronique	6 mois	-

Laboratoire d'accueil

Adresse postale	CEA GRENOBLE – campus Minatec 17 rue des Martyrs 38000 Grenoble