

FROM PROCESSOR TO INDUSTRY
cea tech

SOUTENANCE THESE
01 Octobre 2015

Placement de tâches dynamique et flexible sur processeur multi-cœur asymétrique en fonctionnalités

Aminot Alexandre CEA LIST – EDMSTII Grenoble

A. Pegatoquet - MCF, Univ. Nice Sophia Antipolis, Rapporteur
G. Gogniat - Prof., Université de Bretagne-Sud - UEB, Rapporteur
A. Cohen - Dir. de recherche, INRIA-ENS, Examineur
B. Dupont de Dinechin - CTO, Kalray, Examineur
K. Heydemann - MCF, Univ. Paris 6, Examinatrice
V. Quema - Prof., Grenoble INP/ENSIMAG, Examineur

H-P Charles - Dir. recherche, CEA LIST, Directeur de thèse
Y. Lhuillier - Ingénieur Chercheur, CEA LIST, Encadrant CEA
A. Castagnetti - Ingénieur Chercheur, CEA LIST, Encadrant CEA

www.cea.fr
leti & list

FROM PROCESSOR TO INDUSTRY
cea tech

Evolution des Systèmes d'Info.

Thèse Alexandre Aminot CEA DRT-SLIST/DACLE/SCSN/CEI Octobre 2015

cea tech

Dans ce contexte

Comment répondre à ces besoins dynamiques de puissance de calculs et à ces contraintes énergétiques ?

Programme

Modèle de programmation

Compilation

Système d'exploitation

Architecture processeurs

Liaison mémoire

• Dynamisme
• Performance
• Energy

• THESE • THESE

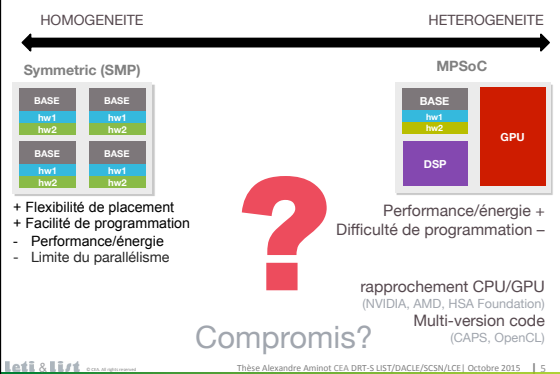
- **étudier** l'architecture émergente Multi-cœur Asymétrique en Fonctionnalités (FAMP)
- **proposer** une solution de placement de tâches dynamique et flexible sur FAMP

leti & list

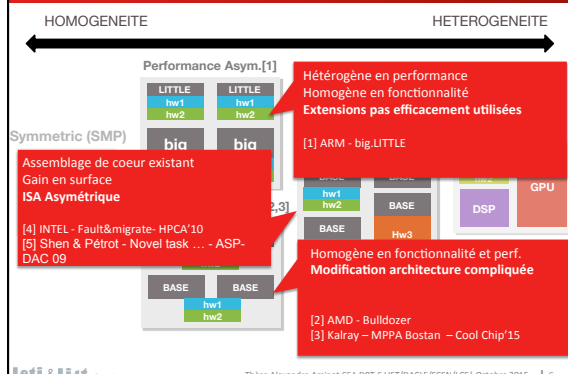
Thèse Alexandre Aminot CEA DRT-SLIST/DACLE/SCSN/CEI Octobre 2015

Contexte & État de l'art

Les multi-processeurs



Compromis homogène - hétérogène



Extensions matérielles : avantages

Intégré au cœur

Accélère calculs pas facilement parallélisables

50x

Encryptage DES Xtensa

1000x

Arm Racine²double flottant

Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015

Extensions matérielles : désavantages

coût

25%

Surface et énergie statique du cœur

CORTEX A9 dual core Floorplan
From Osprey – 1.9W TDP 2GHz (6.7mm²)

Spécialisation
=
faible utilisation dans
l'usage global

Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015

Multi-cœur Asymétrique en Fonctionnalités

Symmetric (SMP)

FAMP [4,5,6,7]

- Efficacité énergétique
- Surface
- Performance: extensions
- Dark silicon
- ISA partagé

■ État de l'art

- Comment gérer l'ISA (Déplacement de tâche, translation binaire)

■ Besoins en amonts

- Information sur l'utilisation des extensions dans les applications
- Informations sur les gains énergétiques

[4] T. Li et al. "Operating system support for overlapping-isa heterogeneous multi-core architectures" HPCA 2010

[5] H. Shen and F. Pétrot, "Novel task migration framework on configurable heterogeneous mpoc platforms" ASP-DAC '09

[6] V. Gupta, et al. "Kinship: Efficient resource management for performance and functionally asymmetric platforms" ACM CP 2013

[7] G. Georgakoudis et al. "Fast dynamic binary rewriting for flexible thread migration on shared-isa heterogeneous mpoc" SAMOS'14

Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015

Plan

- Introduction
- Contexte & État de l'art
- 1/ Analyse de l'usage des Extensions
 - Caractérisation d'applications
 - Etude de la granularité
- 2/ Ordonnanceur relaxé
 - Modèle d'estimation de l'accélération d'une extension
 - Simulation de l'architecture asymétrique en fonctionnalité
 - Impact de l'ordonnanceur relaxé
- Conclusions
- Perspectives

Thibaut Alexandre Aminiou CEA BRT-SUST/DACLE/SCS/AN/CCEI Octobre 2015 10

1

Information sur l'utilisation des extensions



Problématiques scientifiques

Etat de l'art surtout sur les asymétries de performance

- Pour les extensions : **Pas si intuitif**
 - Boite noire des compilateurs
 - Boite noire des bibliothèques
 - Dépendant des données et du flux de contrôle

Quels sont les profils d'utilisation des extensions dans les applications de l'état de l'art?

À quelle granularité temporelle pouvons-nous agir pour optimiser l'utilisation des extensions?



Thèmes de la semaine 1 : les extensions et les compilateurs / 2023-2024 / 12

Approche - Analyse

Analyse de l'utilisation :

- 6 suites :
 - Applications complètes ~Embarqués : miBench, SDVBS,
 - Applications ~Server : Parsec
 - Kernels : Polybench, fbench, WCET

- Processeurs :
 - ARM Cortex A9 - FPU
 - x86 Opteron AMD – SIMD (AVX, SSE*)
- Outils :
 - Pin : Pintool pour instrumenter code
 - Gem5 : simulation + analyse de traces d'exécutions

Thèse Alexandre Aminot CEA DRT-SLUST/DACLE/SCSN/LCEI Octobre 2015 13

Résultats analyse d'utilisation

a) Sift b) Tracking c) Mser

Résultats sur CortexA9 1Ghz (Gem5+McPat) Applications complètes

Thèse Alexandre Aminot CEA DRT-SLUST/DACLE/SCSN/LCEI Octobre 2015 14

Approche Granularité

a) Tracking

■ Comparaison de 3 méthodes

- Application : compilation itérative
- Ordonnanceur : décision chaque quantum (1-100 ms)
- Instructions : Power-Gating (10 μ s)

■ Simulation de ces 3 méthodes sur applications complètes

- Gem5 + McPat – Cortex A9 avec/sans FPU

Thèse Alexandre Aminot CEA DRT-SLUST/DACLE/SCSN/LCEI Octobre 2015 15

c22tech **Avec – Sans FPU**

	Application	% instruction FPU exec.	Speedup	Energy Saving (%)
Integer apps	I dijkstra	0.0000	0.00	-26.76
	I search	0.0000	0.00	-28.24
	I sha	0.0000	0.00	-26.84
	I crc32	0.0000	0.00	-33.14
Low usage apps	f susan s	0.0346	-1.64	-26.17
	f bitcounts	0.0002	0.26	-23.91
	f patricia	0.0265	0.25	-29.98
	f mser	0.79	7.15	-20.85
	f svm	0.22	3.34	-23.00
	f susan c	0.65	14.45	-10.27
	f susan e	0.93	19.08	-5.25
High usage apps	F basemath	0.69	57.47	18.17
	F qsort	1.13	48.73	13.93
	F ft inv	1.40	33.16	3.67
	F localization sma	1.72	36.29	6.58
	F texture	6.40	113.35	40.00
	F tracking	11.36	143.98	49.67
	F localization sqcif	23.55	303.57	67.47
	F sift	29.47	391.54	74.86

[AA2] A.Aminot et al. Floating point units efficiency in multi-core processors. MOMAC @ARCS'15
 leti & lirt Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015 | 16

c22tech **Comparaison granularité**

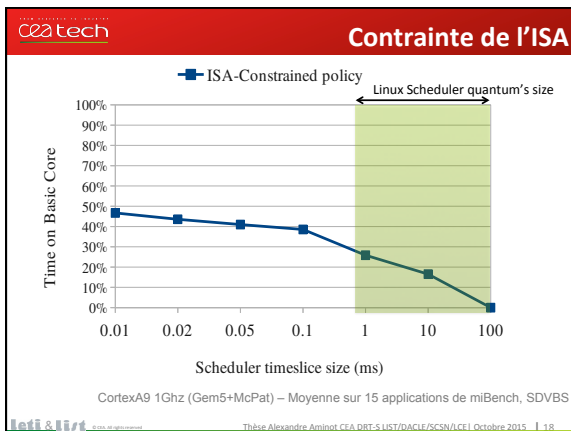
Niveau d'action	Technique	Economie énergie	Surcout en temps	Surface
Application	FAMP + Compilation Itér.	9%	7%	- de FPU
Ordonnanceur	FAMP + quantum	6%	1%	- de FPU
Instructions	SMP + Power Gating	12%	3%	+ registres

CortexA9 1Ghz (Gem5+McPat) – Moyenne sur 15 applications de miBench, SDVBS
 [AA2] A.Aminot et al. Floating point units efficiency in multi-core processors. MOMAC @ARCS'15

■ Niveau Ordonnanceur : Pourquoi seulement 6% ?

- Instructions FPU trop dispersées ?
- Mauvaise utilisation de la FPU ?
 - Choix fait hors-ligne par le compilateur (maximise l'utilisation)

leti & lirt Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015 | 17



[illegible]

2

Ordonnanceur relaxé

Besoin de flexibilité

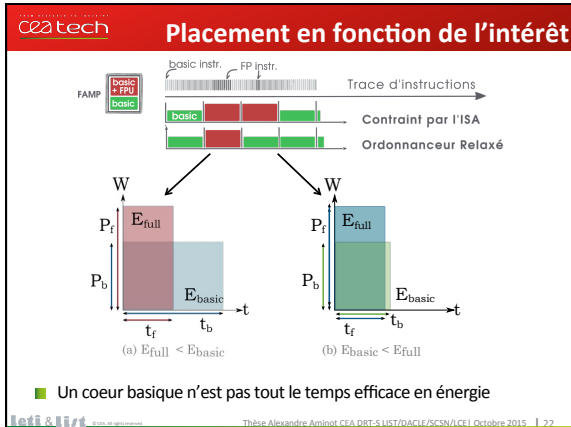
■ Flexibilité de placement

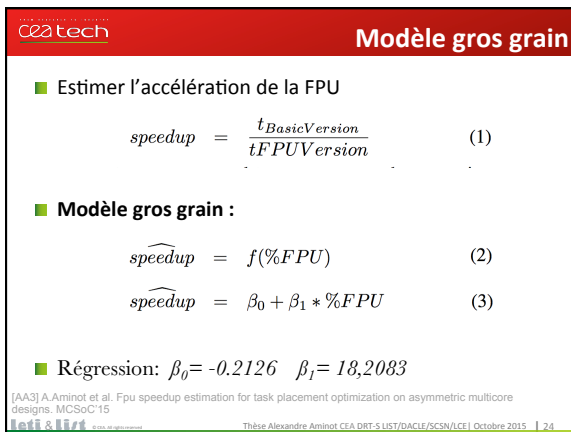
The diagram illustrates the need for flexibility in task placement across three scenarios: (a) raw placement, (b) power-aware placement, and (c) perf-aware placement. Each scenario shows a timeline of task execution (T1, T2, T3, T4, T5, T6) and the corresponding energy consumption profile.

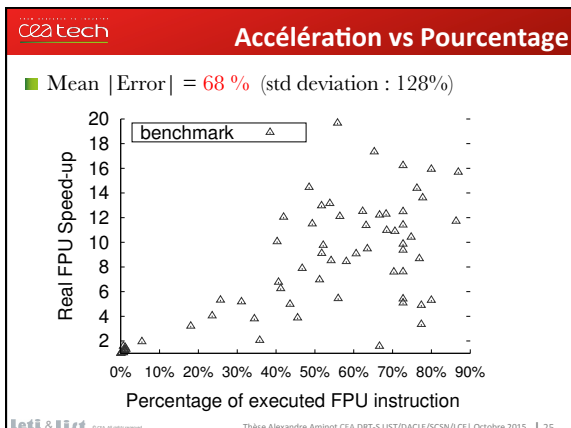
(a) raw placement: Tasks are placed sequentially. T1, T2, T3, and T4 are executed on the 'basic' core, while T5 and T6 are executed on the 'FPU' core. The energy consumption profile shows a high, sustained energy usage during the 'basic' core execution period.

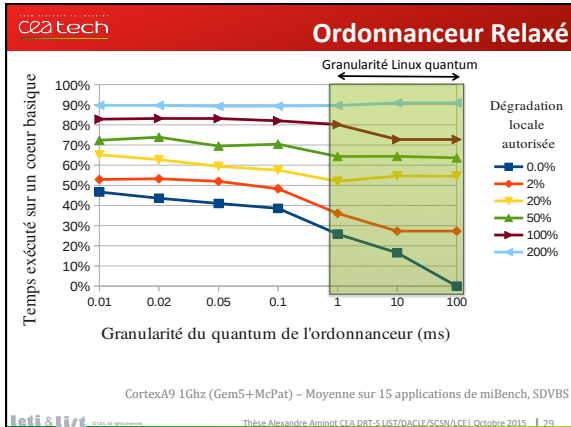
(b) power-aware placement: Tasks are placed to minimize power consumption. T1, T2, T3, and T4 are executed on the 'FPU' core, while T5 and T6 are executed on the 'basic' core. The energy consumption profile shows a lower, more sustained energy usage during the 'FPU' core execution period.

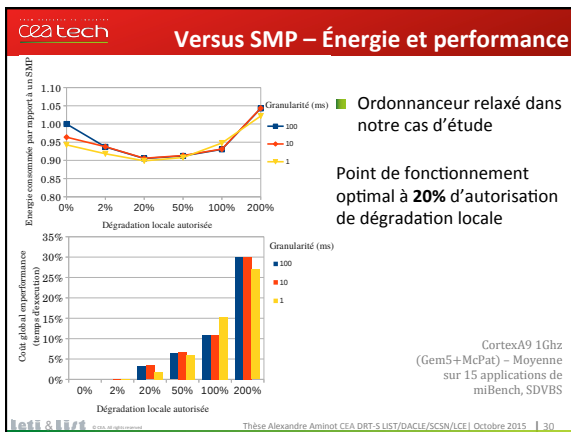
(c) perf-aware placement: Tasks are placed to maximize performance. T1, T2, T3, and T4 are executed on the 'FPU' core, while T5 and T6 are executed on the 'basic' core. The energy consumption profile shows a lower, more sustained energy usage during the 'FPU' core execution period.











Cas d'étude - Résumé

FAMP Simulé Cortex A9 – FPU

Avec Ordonnanceur Relaxé

- Pour SDVBS – mibench monothread
- 50% - 90% de flexibilité de placement (linux)
- Indépendant de la Granularité
- 10% de l'énergie total consommé par rapport à SMP
- < 3 % cout switch et émulation FPU
- Gain surfacique

BASE

L2

BASE

FPU

FAMP + Ordonnanceur relaxé a du potentiel

Thèse Alexandre Aminot CEA DRT-S-LIST/DACLE/SCSN/LCEI Octobre 2015 | 31

Conclusion & Perspectives

Thèse Alexandre Aminot CEA DRT-S LIST/DACLE/SCSN/LCE | Octobre 2015 | 32

Conclusions

Performance
+
Efficacité
énergétique

➔

FAMP

BASE	BASE
hw1	BASE
hw2	BASE
BASE	hw3
hw1	

?

Thèse Alexandre Aminot CEA DRT-S LIST/DACLE/SCSN/LCE | Octobre 2015 | 33

Conclusions - contributions

Caractérisation de 6 suites de benchmarks

Étude de la granularité d'action pour gérer les extensions

Environnement de Simulation FAMP

Réalisation solution fine pour estimer l'intérêt à utiliser ou non une extension

Mesure de la flexibilité d'un *ordonnanceur relaxé* et de l'impact en performance et la consommation énergétique

Thèse Alexandre Aminot CEA DRT-S LIST/DACLE/SCSN/LCE | Octobre 2015 | 34

- **Travaux en cours de valorisation dans 2 projets européens**
 - **BENEFIC** (Best ENergy Efficiency solutions for heterogeneous multi-core Communicating systems) CATRENE
 - **Things2Do** (THIN but Great Silicon 2 Design Objects) *Eniac: join undertaking*
- **3 publications internationales + 1 en rédaction**
 - Conférence MCSoc'15
 - Workshops MOMAC (@ARCS'15), workshop ADAPT (@HiPEAC'14)
- **1 brevet + transfert technologique (développement d'un prototype en cours)**

- Réalisation d'une plateforme FAMP
- Implémentation d'un ordonnanceur relaxé dans un système d'exploitation (Linux)
- Questions ouvertes : matériel
 - Quel est le nombre optimisé d'extensions à mettre en place dans une architecture FAMP?
 - *Doivent-elle être placées ensemble sur le même cœur?*
 - Quel est le cœur basique (CB) minimal à avoir lorsqu'une extension est associée à un cœur ?
- Questions ouvertes : logiciel
 - *Quelle est la méthode de prédiction de l'utilisation des extensions la plus efficace ?*
 - *Comment améliorer la méthode pour rendre le code exécutable sur plusieurs type de cœurs ?*

The End.



Publications et Brevets

Articles scientifiques

- Flexible Task Mapping on Overlapping-ISA Multi-Core Processors
Alexandre Aminot, Yves Lhuillier, Andrea Castagnetti, Henri-Pierre Charles. En cours de réalisation
- FPU Speedup Estimation for Task Placement Optimization on Asymmetric Multicore Designs
Alexandre Aminot, Yves Lhuillier, Andrea Castagnetti, Henri-Pierre Charles. **MCSOC 2015**
- Floating Point Units Efficiency in Multi-Core Processors
Alexandre Aminot, Yves Lhuillier, Andrea Castagnetti, Henri-Pierre Charles. **MOMAC Workshop, ARCS 2015**
- On the advantage of time-varying diversity of workload on functionally asymmetric multi-core
Alexandre Aminot, Yves Lhuillier, Alain Chateigner, Henri-Pierre Charles. **ADAPT Workshop, Hipec'14**.
- Early Design Stage Thermal Evaluation and Mitigation : the Locomotiv Architectural Case
Tanguy Sassolas, Chiara Sandionigi, Alexandre Guerre, **Alexandre Aminot**, Pascal Vivet, Hela Boussetta, Luca Ferro, Nicolas Peltier. **DATE'14**.
- PACHA : Low Cost Bare Metal Development for Shared Memory Manycore Accelerators
Alexandre Aminot, Alexandre Guerre, Julien Peeters, Yves Lhuillier. **ALCHEMY Workshop, ICCS'13**. Pdf

Brevets

- Placement d'une tâche de calcul sur un processeur fonctionnellement asymétrique
Alexandre Aminot, Yves Lhuillier, Andrea Castagnetti, Alain Chateigner, H.P. Charles. déposé le 20 avril 2015.

Posters

- Should extension units be in each core of a multi-core processor ?
Alexandre Aminot, Yves Lhuillier, Andrea Castagnetti, Henri-Pierre Charles. **ACACES'14**.
- Towards a better efficiency on heterogeneous platforms : Conception of an instruction set family for virtualization in system-on-chip.
Alexandre Aminot, Yves Lhuillier, Alain Chateigner, Henri-Pierre Charles. **JDD EDMSTII'14**.
- PACHA : a low overhead, Platform Agnostic, Close-to-Hardware programming .
Alexandre Aminot, Alexandre Guerre, Yves Lhuillier, Maroun Ojail. Workshop P2012/STHORM, DATE'13



Thèse Alexandre Aminot CITA, DRT-SLUSTOUCI-EOSP-SULUCI, Octobre 2015 | 38
